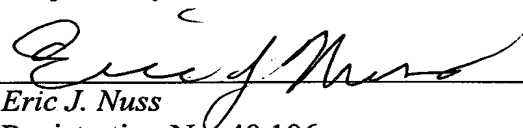


Docket No.	8733.270.00		
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE			
IN RE APPLICATION OF:	Hyun Chang LEE et al.	GAU:	2133
APPLICATION NO.	09/667,718	EXAMINER:	Fritz Alphonse
FILED:	September 22, 2000		
FOR:	RESET METHOD AND APPARATUS FOR LIQUID CRYSTAL DISPLAY		
CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS			
Commissioner for Patents P.O. Box 1450 Alexandria, VA 22313-1450			
SIR:			
<input type="checkbox"/>	Full benefit of the filing date of U.S. Application Serial Number (Parent SN), filed (Parent File Date), is claimed pursuant to the provisions of 35 U.S.C. §120.		
<input type="checkbox"/>	Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).		
<input checked="" type="checkbox"/>	Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.		
In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:			
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>	
1999-40984	Republic of Korea	September 22, 1999	
Certified copies of the corresponding Convention Application(s)			
<input checked="" type="checkbox"/>	are submitted herewith		
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee		
<input type="checkbox"/>	were filed in prior application Serial No. filed		
<input type="checkbox"/>	were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.		
<input type="checkbox"/>	(A) Application Serial No.(s) were filed in prior application Serial No. filed; and		
	(B) Application Serial No.(s)		
<input type="checkbox"/>	are submitted herewith		
<input type="checkbox"/>	Will be submitted prior to payment of the Final Fee		
Date: August 16, 2005		Respectfully Submitted,	
MCKENNA LONG & ALDRIDGE LLP 1900 K Street, N.W., Washington, D.C. 20006 Tel. (202) 496-7500 Fax. (202) 496-7756		 Eric J. Nuss Registration No. 40,106	

CERTIFIED COPY OF
PRIORITY DOCUMENT



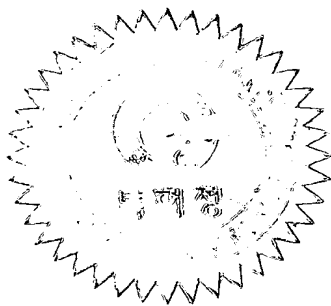
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 1999년 제 40984 호
Application Number

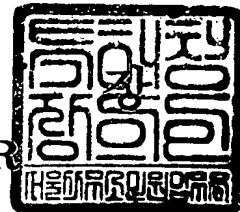
출원 년 월 일 : 1999년 09월 22일
Date of Application

출원 인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2000 년 05 월 04 일

특 허 청
COMMISSIONER



24-1

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	4	면	4,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	33,000	원		

【요약서】**【요약】**

본 발명은 패널의 리셋기간을 줄여 백라이트의 조광시간을 증대시킬 수 있는 칼라 액정표시장치의 리셋 방법 및 장치에 관한 것이다.

본 발명의 액정표시장치 리셋 방법은 액정표시장치의 모든 액정셀들에 리셋전압을 동시에 공급하여 리셋시키는 것을 특징으로 한다.

본 발명에 의하면, 공통전압 또는 게이트전압을 이용하여 액정셀들 전체를 동시에 리셋시킴으로써 리셋기간이 매우 짧아지게 되어 플리커가 감소하게 되고 적, 녹, 청색간에 색간섭이 없어져서 색흐림이 생기지 않게 된다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

액정표시장치의 리셋 방법 및 장치{Reset Method of Liquid Crystal Display and Apparatus Thereof}

【도면의 간단한 설명】

도 1은 칼라 백라이트를 이용한 액정표시장치의 칼라구현방법을 설명하기 위한 타 이밍도.

도 2는 본 발명의 실시 예에 따른 액정표시장치의 리셋방법을 설명하기 위한 전압 파형도.

도 3은 액정표시장치의 액정셀에 대한 등가회로도.

도 4는 도 3에 도시된 박막트랜지스터에 채널이 형성되어 전류가 흐르는 경우 각 단자간의 전압관계를 나타낸 특성도.

도 5는 본 발명의 제1 실시 예에 따른 액정표시장치의 리셋회로도.

도 6은 도 5에 도시된 멀티플렉서의 제어신호와 출력신호에 대한 파형도.

도 7은 본 발명의 제2 실시 예에 따른 액정표시장치의 리셋회로도.

도 8은 본 발명의 제3 실시 예에 따른 액정표시장치의 리셋회로도.

도 9는 도 8에 도시된 각 구성요소의 입출력신호 파형도.

<도면의 주요부분에 대한 부호의 간단한 설명>

10 : 멀티플렉서

12 : 전압증폭기

14 : 쉬프트레지스터

16 : 레벨쉬프트 어레이

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 액정표시장치에 관한 것으로, 특히 패널의 리셋기간을 줄여 백라이트의 조광시간을 증대시킬 수 있는 액정표시장치의 리셋 방법 및 장치에 관한 것이다.
- <14> 통상의 액티브 매트릭스 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액티브 매트릭스 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 이 액정패널을 구동하기 위한 구동회로를 구비하게 된다. 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 기준전극, 즉 공통전극이 마련되게 된다. 여기서, 화소전극은 하부기판 상에 액정셀별로 형성되는 반면 공통전극은 상부기판의 전면에 일체화되어 형성되게 된다. 화소전극들 각각은 스위치 소자로 사용되는 박막 트랜지스터(Thin Film Transistor)의 소오스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속되게 된다. 박막트랜지스터들 각각의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게끔 하는 게이트라인들 중 어느 하나에 접속되게 된다.
- <15> 이러한 액정표시장치는 적(R), 녹(G), 청(B)의 컬러필터 또는 칼라 백라이트

를 이용하여 상기 3원색의 혼합비를 적절하게 조절함으로써 칼라를 구현하고 있다. 다시 말하여, 칼라필터를 이용하는 액정표시장치는 3개의 액정셀을 포함하는 화소마다 적, 녹, 청의 칼라필터들을 채용하여 동시에 공급되는 적, 녹, 청색 데이터에 의해 칼라를 구현하게 된다. 칼라 백라이트를 이용하는 액정표시장치는 적(R), 녹(G), 청(B)의 백라이트를 구비하여 디스플레이될 색데이터에 맞추어 순차적으로 점등시킴으로써 칼라를 구현하게 된다. 이러한 칼라 백라이트를 이용한 액정표시장치의 칼라 구현방법은 국내특허출원 제 95-2771호에 개시되어 있다.

<16> 이 국내특허출원 제 95-2771호에 개시된 칼라 액정표시장치에서는 도 1에 도시된 바와 같이 1수직동기기간(1Vsync)에 적, 녹, 청 중 하나의 색데이터를 액정셀들에 충전하고 그 색데이터 충전시간(T_t)의 중간정도의 시점에서 해당하는 백라이트를 점등시킴으로써 색을 표현하게 된다. 이렇게, 액정패널의 모든 액정셀들에 어느 한 색데이터의 충전이 완료되기 전에 백라이트를 점등시키는 것은 램프점등 시간을 충분히 확보하여 휘도를 향상시키기 위함이다. 그런데, 모든 액정셀들에 어느 한 색데이터에 대한 충전이 완료되기 전에 백라이트 램프를 점등시키는 경우 색순도가 저하되어 색이 선명하지 못하게 되는 색흐림 현상이 발생하게 된다.

<17> 예를 들어, 도 1에 도시된 바와 같이 적(R), 녹(G), 청(B) 순으로 색데이터를 디스플레이 한다고 가정하고 녹색(G) 데이터를 첫번째 라인으로부터 라인 순차적으로 액정셀들에 충전시키는 경우 녹색(G) 백라이트가 점등되는 시점에서는 상단부의 액정셀에는 녹색(G) 데이터가 충전되어 있는 반면에 녹색(G) 데이터가 아직 충전되지 않은 하단부의 액정셀들에는 이전 프레임의 적색(R) 데이터가 충전되어 있을 것이다. 이 상태에서 녹색의 백라이트를 점등시키게 되면 녹색(G) 데이터가 충전된 상단부의 액정셀들은 정상적

인 색을 표현하는 반면에, 이전 프레임의 적색(R) 데이터를 홀드하고 있는 하단부의 액정셀들은 녹색 광을 투과시키는 결과를 초래하여 색흐림이 발생하게 된다.

<18> 이러한 색흐림 현상을 방지하기 위하여, 어느 한 색데이터를 디스플레이한 후 다음 색데이터를 디스플레이하기 전에 전체 액정셀들을 리셋시키고 있다. 다시 말하여, 적색(R) 데이터를 디스플레이한 후 녹색(G) 데이터를 디스플레이하기 전에 액정셀들에 홀드되어 있는 적색(R) 데이터 전압을 방전시킴으로써 녹색(G) 데이터를 충전하기 전에 전체 화소들을 리셋시키게 된다. 이러한 리셋기간의 대부분의 시간동안 백라이트가 소등되어 있기 때문에 리셋기간이 길면 길수록 패널을 통해 투과되는 빛의 양이 줄어들게 되므로 전체 휘도가 감소하게 된다.

<19> 그런데, 종래의 액정패널의 리셋방법에서는 화소데이터를 충전할 때와 마찬가지로 게이트라인을 순차적으로 스캐닝하면서 데이터라인에 리셋전압을 공급하여 액정셀들을 리셋시키기 때문에 비교적 많은 시간(3.1ms)이 걸리게 된다. 이에 따라, 백라이트는 1수직주기(16.67ms)에서 데이터를 충전하는 시간(3.1ms)과 리셋되는 시간(5ms) 즉, 최대 6.2ms 동안은 턴-오프되어 있게 되므로 휘도가 감소하게 된다. 또한, 종래의 리셋방법에서는 1수직주기동안 게이트라인을 순차적으로 2번(한번은 충전, 또 한번은 리셋) 스캐닝하기 때문에 전력소비도 커지게 된다. 아울러, 리셋기간에는 패널의 액정셀들이 빛을 투과하지 않는 전압으로 방전되므로 리셋기간이 길면 길수록 패널이 검은색을 띠는 기간이 늘어나게 되어 화면이 밝았다 어두워졌다하는 플리커 현상이 발생하게 된다. 이 결과, 종래의 리셋방법에서는 비교적 긴 리셋시간에 의해 화면의 자연스러운 화상표현이 어려워지게 되므로 선명한 화상을 표현하지 못하게 된다.

<20> 나아가, 최근에는 한 프레임에 어느 한 색데이터를 디스플레이하는 경우 자연스러

운 화상표현이 어려움에 따라 액정셀들에 색데이터가 충전되는 속도를 빠르게 하여 적, 녹, 청색의 데이터가 순차적으로 한 프레임동안에 디스플레이되게 하고 있다. 이 경우, 백라이트의 점등시간이 상대적으로 짧아짐에 따라 전술한 리셋기간에 의한 문제점들은 심화될 수밖에 없다.

【발명이 이루고자 하는 기술적 과제】

- <21> 따라서, 본 발명의 목적은 리셋시간을 단축시킴으로써 백라이트의 조광시간을 증대시켜 패널의 휘도를 향상시킴과 아울러 플리커 및 색흐림 현상을 줄일 수 있는 액정표시장치의 리셋 방법 및 장치를 제공하는 것이다.
- <22> 본 발명의 다른 목적은 리셋기간에 소비되는 전력을 저감할 수 있는 액정표시장치의 리셋 방법 및 장치를 제공하는 것이다.

【발명의 구성 및 작용】

- <23> 상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시장치의 리셋 방법은 액정표시장치의 모든 액정셀들에 리셋전압을 동시에 공급하여 리셋시키는 것을 특징으로 한다.
- <24> 본 발명에 따른 액정표시장치의 리셋회로는 입력 제어신호에 의해 액정표시장치의 공통전극에 공급되는 전압을 선택하기 위한 전압선택수단을 구비하는 것을 특징으로 한다.
- <25> 또한, 본 발명에 따른 액정표시장치의 리셋회로는 액정표시장치의 액정셀들을 리셋

시키는 리셋기간에서만 특정논리 상태를 가지는 입력 제어신호를 증폭하여 액정표시장치의 공통전극에 공급하는 전압증폭기를 구비하는 것을 특징으로 한다.

<26> 본 발명에 따른 액정표시장치의 리셋회로는 순차적인 게이트 구동신호를 발생하는 쉬프트레지스터와, 쉬프트레지스터의 출력신호 각각과 입력 리셋신호를 논리합연산하여 출력하기 위한 논리합게이트들과, 논리합게이트들 각각에 접속되어 논리합게이트로부터 출력되는 신호의 논리상태에 따라 입력 게이트전압을 절환하여 출력하기 위한 레벨슈프터들을 구비하는 것을 특징으로 한다.

<27> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<28> 이하, 본 발명의 바람직한 실시예를 도 2 내지 도 9를 참조하여 상세하게 설명하기로 한다.

<29> 본 발명에 따른 액정표시장치에서는 종래와 같이 게이트라인을 순차적으로 스캐닝 하면서 액정셀들을 리셋시키는 것이 아니라 액정셀들 전체를 동시에 리셋시키게 된다. 이에 따라, 리셋기간이 매우 짧아지게 되어 플리커가 감소하게 되고 적, 녹, 청색간에 색간섭이 없어져서 색흐림이 생기지 않게 된다. 아울러, 백라이트의 조광시간이 증대되므로 휘도가 증가하게 됨과 아울러 1수직기간동안 게이트라인을 한번만 스캐닝하게 되므로 전력소비를 줄일 수 있게 된다. 액정셀들을 동시에 리셋시키는 본 발명의 리셋방법은 다음 공통전극전압을 이용하는 방법과 게이트전압을 이용하는 방법으로 달성될 수 있다.

<30> 도 2는 본 발명의 제1 실시예에 따른 액정표시장치 리셋방법을 설명하기 위한 전압

파형도로서, 하나의 액정셀에 공급되는 게이트전압(V_g)과 화소전압(V_p) 및 공통전극전압(V_{com})과의 관계를 나타낸 것이다. 도 2에 있어서, 화소를 리셋하는 방법으로 공통전극전압을 이용하게 된다. 다시 말하여, 적색(R) 데이터가 충전되어 홀드된 후 다음의 녹색(G) 데이터가 충전되기 일정시간 전에(패널의 크기에 따라 다르겠지만 13.3'패널의 경우 $100\mu s$ 정도 전에) 공통전극전압(V_{com})을 게이트오프전압, 즉 게이트로우전압(V_{g1}) 보다 액정의 포화전압만큼 낮은 전압(리셋 V_{com})으로 낮추게 된다. 이 경우, 도 3에 도시된 화소의 등가회로에서 게이트라인(GL)에는 게이트로우전압(V_{g1})이 걸려 박막트랜지스터(TFT)가 턴-오프되어 있으므로 액정 캐패시터(C_{lc})에 충전되어 있는 화소전압(V_p)은 기준전압인 공통전극전압(V_{com})이 하강하는 만큼 하강하게 된다. 이어서, 공통전극전압(V_{com})이 리셋전압(리셋 V_{com})에 도달하게 되면 박막트랜지스터(TFT)에 채널이 형성되어 화소전압(V_p)은 게이트로우전압(V_{g1})으로 수렴하게 된다. 이 경우, 박막트랜지스터(TFT)에 채널이 형성되는 이유는 공통전극전압(V_{com})의 하강분만큼 하강된 화소전압(V_p)이 게이트로우전압(V_{g1})보다 낮은 전압을 갖기 때문이다. 이 경우, 데이터라인(DL)의 전압은 화소전압(V_p)이 게이트로우전압(V_{g1})으로 수렴하는 시간에 영향을 미치게 되는데, 화소전압(V_p)이 게이트로우전압(V_{g1})으로 빠르게 수렴되게 하기 위해서는 가능한 데이터라인(DL)의 전압을 기준전압(그라운드 전압)보다 큰 값을 가지게끔 설정하면 된다. 결국, 리셋기간내에 화소전압(V_p)이 공통전극전압(V_{com})의 리셋전압(리셋 V_{com})으로 하강하게 되면 게이트로우전압(V_{g1})으로 수렴하게 되고, 리셋기간 후 공통전극전압(V_{com})이 원래의 전압레벨로 상승하게 되면 화소전압(V_p)도 캐패시터 커플링 효과에 의해 공통전극전압(V_{com})이 상승한 만큼 상승하게 되어 화소전압(V_p)과 공통전극전압(V_{com}) 사이에 걸려있던 전위차는 유지된다. 이는 공통전극전압(V_{com})이 상승하는 경

우 박막트랜지스터(TFT)의 게이트전압(V_g)이 데이터라인(DL) 전압보다 낮은 레벨로 있고 화소전압(V_p)보다도 낮은 레벨로 있기 때문에 박막트랜지스터(TFT)에는 채널이 형성되지 않기 때문이다.

<31> 예를 들어, 통상의 게이트로우전압(V_{g1})을 $-5V$, 화소에 충전된 전압(V_p)을 $8V$, 공통전극전압(V_{com})을 $5V$ 라고 가정하는 경우 리셋기간에서 데이터라인(DL)의 전압을 $5V$ 로 설정하고 공통전극전압(V_{com})을 $-10V$ 로 하강하게 되면 순간적으로 화소전압(V_p)도 $-7V$ 로 하강하게 된다. 이때, 화소전압(V_p)이 게이트로우전압(V_{g1})보다 $2V$ 낮기 때문에 트랜지스터는 턴-온이 되게 된다. 이에 따라, 화소전압(V_p)은 상승하여 게이트로우전압(V_{g1})으로 수렴하게 됨에 따라 박막트랜지스터(TFT)에 형성되어 있던 채널이 점점 사라지게 되어 화소전압(V_p)이 게이트로우전압(V_{g1})이 되는 순간 박막트랜지스터(TFT)의 채널이 사라져서 턴-오프된다. 결국, 리셋기간 중에 화소전압(V_p)은 게이트로우전압(V_{g1})인 $-5V$ 로 수렴하게 되고, 화소전압(V_p)과 공통전극전압(V_{com}) 사이에는 $5V$ 의 전압이 걸리게 된다. 이러한 리셋기간이 지난 후 다음 색데이터가 충전되기 전에 공통전극전압(V_{com})은 원래의 전압으로 복원되어야하므로 다시 $5V$ 로 상승하게 된다. 이때, 박막트랜지스터(TFT)는 턴-오프된다. 이는 게이트전압(V_g)은 그대로 유지하고 있는 상태에서 화소전압(V_p)이 상승하기 때문에 박막트랜지스터(TFT)에 채널이 형성되지 않기 때문이다. 이에 따라, 박막트랜지스터(TFT)의 채널을 통한 충방전은 일어나지 않게 되므로 리셋기간에서 화소전극과 공통전극사이에 걸린 전위차는 그대로 유지되게 된다. 즉, 공통전극전압(V_{com})이 $5V$ 가 되면 화소전압(V_p)은 $10V$ 가 된다. 이와 같이, 리셋기간과 공통전극복귀시간에 화소전압(V_p)과 공통전극전압(V_{com}) 사이의 전압은 $5V$ 로 유지되므로 액정의 노멀리 화이트(Normally White) 모드에서는 항상 검은색이 디스플레이되게 된다.

<32> 이상은 박막트랜지스터(TFT)의 문턱전압(V_{th})을 '0'이라고 가정하고 계산한 것이다. 그런데, 박막트랜지스터(TFT)의 문턱전압은 '0'이 아니므로 액정셀을 리셋시키기 위한 공통전극전압(V_{com})은 '게이트로우전압(V_{gl})-액정 포화전압-문턱전압(V_{th})'의 전압을 가지게 해야 한다. 이는 박막트랜지스터(TFT)에 채널이 생성되는 경우는 게이트전압(V_g)이 소스단자나 드레인단자의 전압보다 문턱전압(V_{th}) 만큼 높을 때이기 때문이다. 여기서, 박막트랜지스터(TFT)의 채널에 생기는 전류값을 박막트랜지스터(TFT) 각 단자의 전압과 소자 파라미터와의 관계식으로 표시하면 다음 수학적 식 1과 같다.

<33> 【수학적 식 1】

$$\langle \text{MARGIN} \rangle \times \langle TR \rangle \times \langle P \rangle I_D = \mu C W L [(V_g - V_{th}) V_D - 1/2 \times V_D^2] \langle /P \rangle$$

<34> 여기서, I_D 는 박막트랜지스터(TFT) 채널에 흐르는 전류, μ 는 전자이동도, W 는 채널의 폭, L 은 채널의 길이, V_g 는 게이트전압, V_D 는 소오스 또는 드레인 전압을 나타낸다. 화소의 데이터 충전시에는 게이트전압(V_g)에는 게이트하이전압(V_{gh})이 공급되므로 상기 수학적 식 1로부터 알 수 있듯이 박막트랜지스터(TFT)의 채널에 흐르는 전류(I_D)는 크게 된다. 이에 따라, 액정패널의 크기 또는 게이트라인(GL)과 데이터라인(DL)의 저항과 캐패시터에 따라 10~20 μ s 정도의 시간내에 화소에 원하는 데이터전압을 충전시킬 수 있게 된다. 그런데, 리셋기간에서 박막트랜지스터(TFT)에 생기는 채널의 저항은 게이트전압(V_g)과 소오스나 드레인 전압과의 전압차가 작기 때문에 박막트랜지스터(TFT)를 통해 흐르는 전류값이 작게 된다. 도 4는 도 3에 도시된 박막트랜지스터(TFT)에 채널이 형성되어 전류가 흐르는 경우 각 단자간의 전압관계를 나타낸 것이다. 도 4에서 I_{max} 와 V_{max} 는 화소에 데이터를 충전시킬 때의 채널에 흐르는 최대전류와 게이트전극과 데이터전극 또는 게이트전극과 화소전극 사이의 최대전압을 나

타낸 것이고, I_{use} 와 V_{use} 는 리셋기간에 박막트랜지스터(TFT)에 채널이 형성되어 흐르는 전류와 전압범위를 나타낸 것으로 상대적으로 작음을 알 수 있다. 이와 같이, 화소의 데이터 충전기간에서는 박막트랜지스터(TFT)의 채널에 흐르는 전류가 크므로 패널의 게이트라인(GL)과 데이터라인(DL) 및 박막트랜지스터(TFT)의 파라미터에 따라 다르지만 짧은 시간($10 \sim 20 \mu s$) 내에 원하는 데이터를 화소전극에 충전시킬 수 있게 된다. 반면에, 리셋기간에서는 박막트랜지스터(TFT)의 채널에 흐르는 전류가 상기 데이터 충전기간보다 작기 때문에 상기 데이터 충전시간보다는 긴 시간이 소요되게 된다. 그러나, 데이터전압은 게이트라인들(GL)에 순차적으로 게이트하이전압(V_{gh})을 인가하여 화소에 충전하기 때문에 한 라인에 데이터전압을 충전하는 기간은 리셋시간보다 짧을 수는 있으나, 게이트라인수가 XGA 해상도를 갖는 패널의 경우 768개나 되기 때문에 패널 전체에 데이터를 충전하는 시간은 리셋시간보다 크게 된다.

<35> 도 5는 본 발명의 제1 실시예에 따른 칼라 액정표시장치의 리셋회로를 나타낸 것이다. 도 5의 리셋회로는 리셋기간에서는 공통전극에 리셋전압(리셋 V_{com})이 공급되게 하고, 그 외의 시간에서는 정상 공통전극전압(정상 V_{com})이 공급되게 한다. 이를 위하여, 리셋회로는 외부로부터 입력되는 제어신호(CS)에 의해 리셋전압(리셋 V_{com})과 정상 공통전극전압(정상 V_{com})을 선택적으로 절환하여 공통전극라인(CL)에 공급하기 위한 멀티플렉서(10)를 구성으로 한다. 멀티플렉서(10)는 도 5에 도시된 바와 같이 제어신호(CS) 입력라인에 공통접속된 버퍼(BF) 및 인버터(INV)와, 버퍼(BF)와 인버터(INV)에 각각 접속된 스위치로 구성될 수 있게 된다. 도 5에서 제어신호(CS)가 도 6에 도시된 바와 같이 하이상태(H)일 때 멀티플렉서(10)는 리셋전압(리셋 V_{com})을 공통전극라인(CL)에 공급하여 모든 화소의 전압을 일정전압으로 리셋시키게 된다. 반면에, 제어신호(CS)가 로우

상태(L)일 때 멀티플렉서(10)는 정상 공통전극전압(정상 V_{com})을 공통전극라인(CL)에 공급하여 화소에 데이터를 충전하여 유지할 수 있게 한다.

<36> 도 7은 본 발명의 제2 실시예에 따른 칼라 액정표시장치의 리셋회로를 나타낸 것이다. 도 7의 리셋회로는 전압증폭기(12)를 구성으로 한다. 전압증폭기(12)는 도 6에 도시된 바와 같은 제어신호(CS)를 반전 증폭하여 공통전극전압(V_{com})으로 공급하게 된다. 다시 말하여, 전압증폭기(12)는 제1 저항(R_1)에 입력되는 제어신호(CS)를 R_2/R_1 의 비율로 반전증폭하여 공통전극전압(V_{com})으로 출력하고, 공통전극전압(V_{com})의 직류(DC)레벨은 가변저항(R_3)에 의해 제어되어 원하는 공통전극전압(V_{com})을 출력하게 된다. 이 경우에도 도 6에 도시된 바와 같은 공통전극전압(V_{com})이 공통전극라인(CL)에 공급되게 된다.

<37> 도 8은 본 발명의 제3 실시예에 따른 칼라 액정표시장치의 리셋회로를 나타낸 것이다. 도 8의 리셋회로는 게이트전압을 이용하여 모든 액정셀들을 리셋시키기 위한 것으로 리셋기간에서 모든 게이트라인(GL)에 동시에 리셋전압, 즉 게이트하이전압(V_{gh})을 공급하여 모든 화소전압을 일정한 전압으로 리셋시키게 된다. 그런데, 통상의 게이트구동부는 쉬프트레지스터를 포함하여 게이트라인들(GL)을 순차적으로 구동시킬 수밖에 없었다. 이에 따라, 본 발명에서는 데이터충전기간에서는 게이트라인들(GL)을 순차적으로 구동시키고 리셋기간에서는 게이트라인들(GL)을 동시에 구동시키기 위하여 도 8에 도시된 바와 같은 구성을 가지게 된다. 도 8의 리셋회로는 순차적인 게이트구동신호를 발생하는 쉬프트레지스터(14)와, 리셋전압 입력라인에 공통 접속되고 쉬프트레지스터(14)의 출력라인에 각각 접속된 n 개의 논리합게이트(OR)들과, 논리합게이트(OR)들에 각각 접속된 레벨쉬프터 어레이(16)를 구성으로 한다. 쉬프트레지스터(14)는 도 9에 도시된 바와

같이 외부로부터 입력되는 게이트스타트펄스(GSP)를 게이트클럭신호(GSC)에 따라 순차적으로 쉬프트시켜 출력하게 된다. 논리합게이트(OR)들은 쉬프트레지스터(14)의 출력신호가 하이상태이거나 리셋전압이 하이상태인 경우 하이상태의 전압을 출력한다. 다시 말하여, 논리합게이트(OR)들은 쉬프트레지스터(14)의 출력신호들이 순차적으로 하이상태가 되는 데이터충전기간에서는 순차적으로 하이상태의 출력신호를 발생하고, 리셋전압이 하이상태가 되는 리셋기간에서는 동시에 하이상태의 출력신호를 발생하게 된다. 레벨 쉬프트 어레이(16)에 구성되는 레벨쉬프트 각각은 논리합게이트(OR)와 데이터라인(DL) 사이에 접속되어 논리합게이트(OR)의 출력신호가 하이상태인 경우 게이트하이전압(V_{gh})을 출력하고, 논리합게이트(OR)의 출력신호가 로우상태인 경우 게이트로우전압(V_{gl})을 출력한다. 다시 말하여, 레벨쉬프트들은 논리합게이트(OR)들의 출력신호들이 순차적으로 하이상태가 되는 데이터 충전기간에서는 도 9에 도시된 바와 같이 게이트하이전압(V_{gl})을 순차적으로 선택하여 출력신호(01 내지 0n)로 발생하게 되고, 논리합게이트(OR)들의 출력신호가 동시에 하이상태가 되는 리셋기간에서는 게이트하이전압(V_{gl})을 동시에 선택하여 출력신호(01 내지 0n)로 발생하게 된다. 이에 따라, 데이터충전기간에서는 게이트라인들이 순차적으로 구동되어 데이터가 충전되고, 리셋기간에서는 게이트라인들이 공통적으로 구동되어 모든 액정셀들을 리셋되게 한다.

- <38> 한편, 컬러필터를 구비하는 액정표시패널에서도 적, 녹, 청색의 데이터를 동시에 공급하여 프레임 단위로 화상을 디스플레이 하는 경우 이전 프레임의 이미지가 잔상으로 남아 응답속도가 느려보이는 현상을 방지하기 위해 매 프레임마다 데이터충전기간 후에 데이터 리셋기간을 두고 있다. 이 경우에도, 본 발명의 리셋 방법을 적용하여 액정패널의 모든 액정셀들을 동시에 리셋시킴으로써 종래의 스캔방식에 의한 리셋방법 보다 상대

적으로 리셋기간을 줄일 수 있게 된다.

【발명의 효과】

<39> 상술한 바와 같이, 본 발명에 따른 칼라 액정표시장치의 리셋 방법 및 회로에 의하면, 공통전압 또는 게이트전압을 이용하여 액정셀들 전체를 동시에 리셋시킴으로써 리셋기간이 매우 짧아지게 되어 플리커가 감소하게 되고 적, 녹, 청색간에 색간섭이 없어져서 색흐림이 생기지 않게 된다. 아울러, 백라이트의 조광시간이 증대되므로 휘도가 증가하게 됨과 아울러 1수직기간동안 게이트라인을 한번만 스캐닝하게 되므로 전력소비를 줄일 수 있게 된다.

<40> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

액정표시장치의 리셋방법에 있어서,

상기 액정표시장치의 모든 액정셀들에 리셋전압을 동시에 공급하여 리셋시키는 것을 특징으로 하는 액정표시장치의 리셋방법.

【청구항 2】

제 1 항에 있어서,

상기 리셋전압은 상기 액정표시장치의 공통전극라인에 공급되는 것을 특징으로 하는 액정표시장치의 리셋방법.

【청구항 3】

제 2 항에 있어서,

상기 공통전극에 공급되는 리셋전압은 데이터충전기간에서 상기 공통전극에 공급되는 공통전압 보다 낮은 것을 특징으로 하는 액정표시장치의 리셋방법.

【청구항 4】

제 1 항에 있어서,

상기 리셋전압은 상기 액정표시장치의 게이트전극라인들에 동시에 공급되는 것을 특징으로 하는 액정표시장치의 리셋방법.

【청구항 5】

제 4 항에 있어서,

상기 리셋전압으로 상기 게이트전극라인들에 게이트하이전압이 인가되는 것을 특징으로 하는 액정표시장치의 리셋방법.

【청구항 6】

액정표시장치의 리셋회로에 있어서,

상기 액정표시장치의 액정셀들에 데이터전압을 충전하여 유지하는 기간에서는 입력 제어신호에 의해 정상적인 공통전압을 선택하여 상기 액정표시장치의 공통전극에 공급하고, 리셋 기간에서는 상기 입력 제어신호에 의해 상기 정상적인 공통전압보다 낮은 리셋전압을 선택하여 상기 공통전극에 공급하는 전압선택수단을 구비하는 것을 특징으로 하는 액정표시장치의 리셋회로.

【청구항 7】

액정표시장치의 리셋회로에 있어서,

상기 액정표시장치의 액정셀들을 리셋시키는 리셋기간에서만 특정논리 상태를 가지는 입력 제어신호를 증폭하여 상기 액정표시장치의 공통전극에 공급하는 전압증폭기를 구비하는 것을 특징으로 하는 액정표시장치의 리셋회로.

【청구항 8】

제 7 항에 있어서,

상기 전압증폭기는

상기 액정셀들에 데이터전압을 충전하여 유지하는 기간에서는 정상적인 공통전극전압을 출력하고, 상기 리셋기간에서는 상기 정상적인 공통전극전압 보다 낮은 리셋전압을 출력하는 것을 특징으로 하는 액정표시장치의 리셋회로.

【청구항 9】

액정표시장치의 리셋회로에 있어서,
순차적인 게이트 구동신호를 발생하는 쉬프트레지스터와,
상기 쉬프트레지스터의 출력신호 각각과 입력 리셋신호를 논리합연산하여 출력하기
위한 논리합게이트들과,

상기 논리합게이트들 각각에 접속되어 상기 논리합게이트로부터 출력되는 신호의
논리상태에 따라 입력 게이트전압을 절환하여 출력하기 위한 레벨쉬프터들을 구비하는
것을 특징으로 하는 액정표시장치의 리셋회로.

【청구항 10】

제 9 항에 있어서,
상기 리셋신호는 상기 액정표시장치의 액정셀들을 리셋시키기 위한 리셋기간에서
만 하이상태이고,

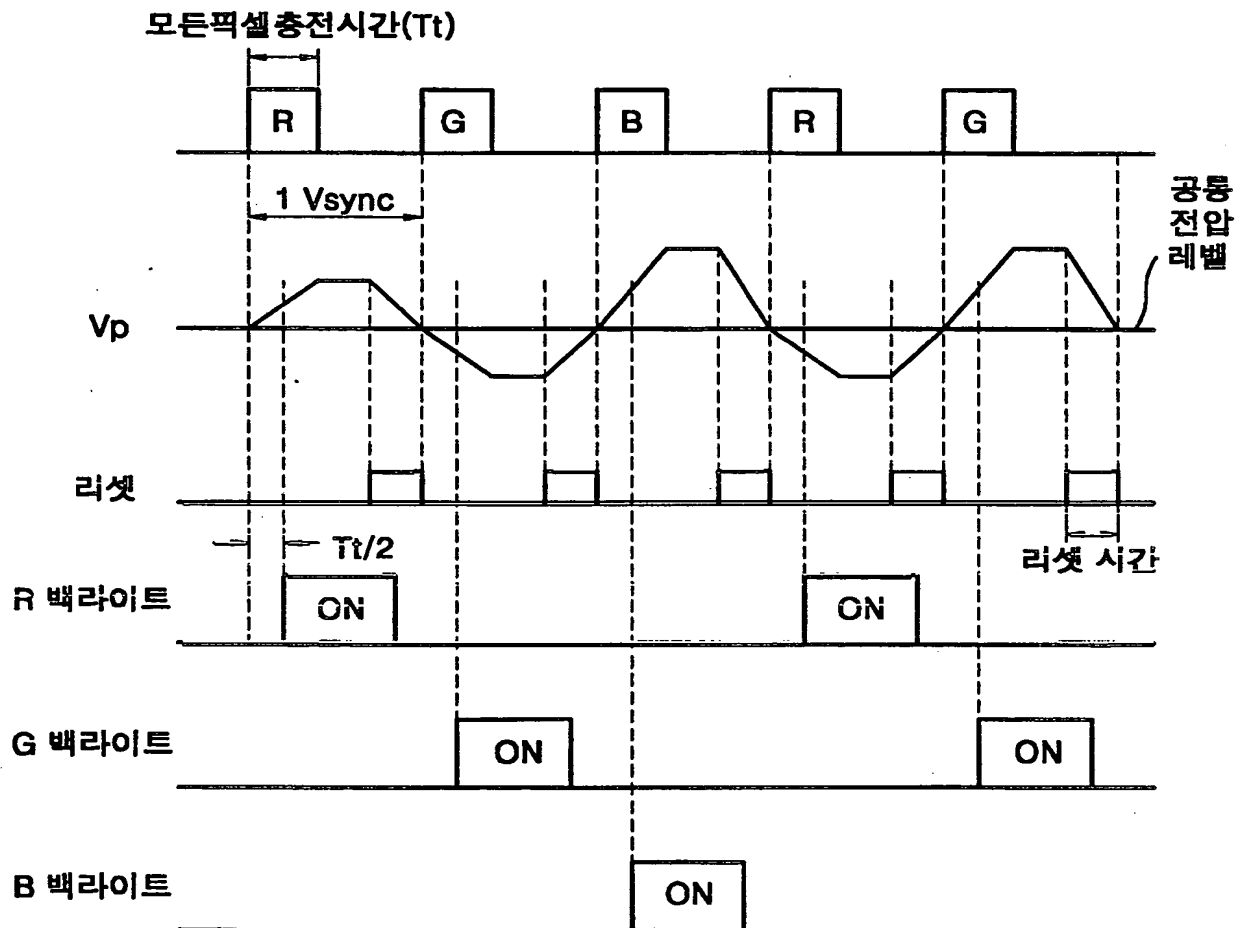
상기 레벨쉬프터는 상기 논리합게이트의 출력신호가 하이상태인 경우 게이트하이전
압을 해당 게이트라인에 공급하고 상기 논리합게이트의 출력신호가 로우상태인 경우 쉬
프트 레지스터의 로직값에 따라 게이트 하이전압 또는 게이트 로우전압을 해당 게이트라
인에 공급하는 것을 특징으로 하는 액정표시장치의 리셋회로.

【청구항 11】

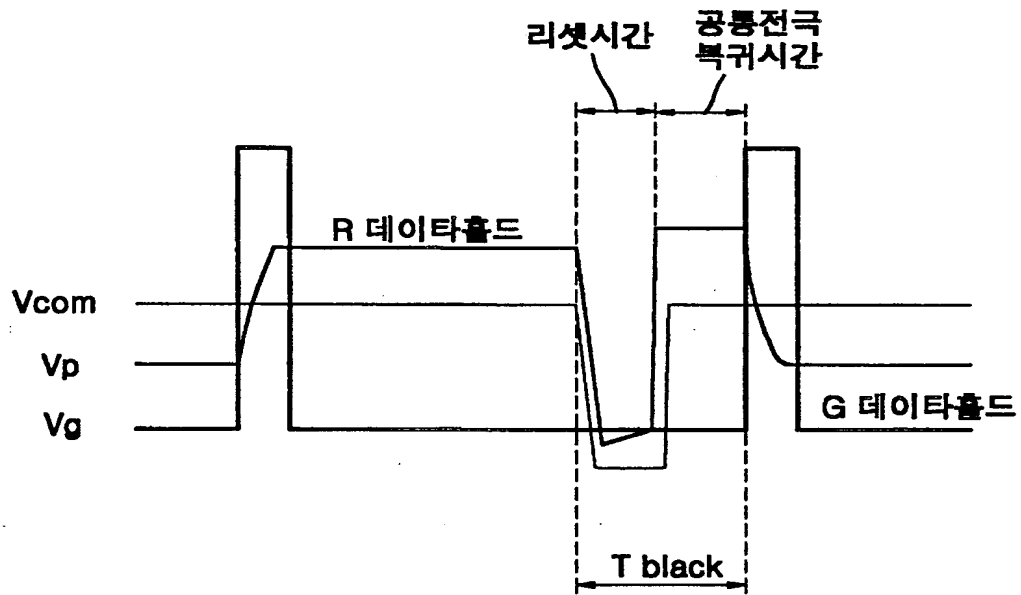
제 9 항에 있어서,
상기 리셋회로는 게이트 구동 집적회로에 내장되는 것을 특징으로 하는 액정표시장
치의 리셋회로.

【도면】

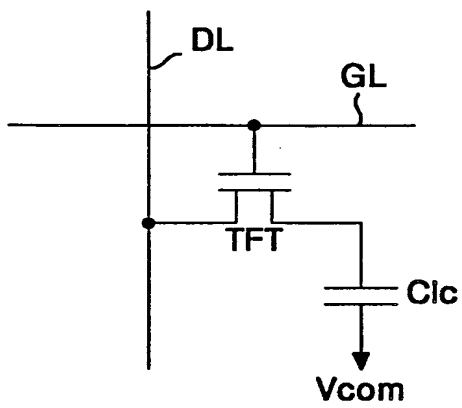
【도 1】



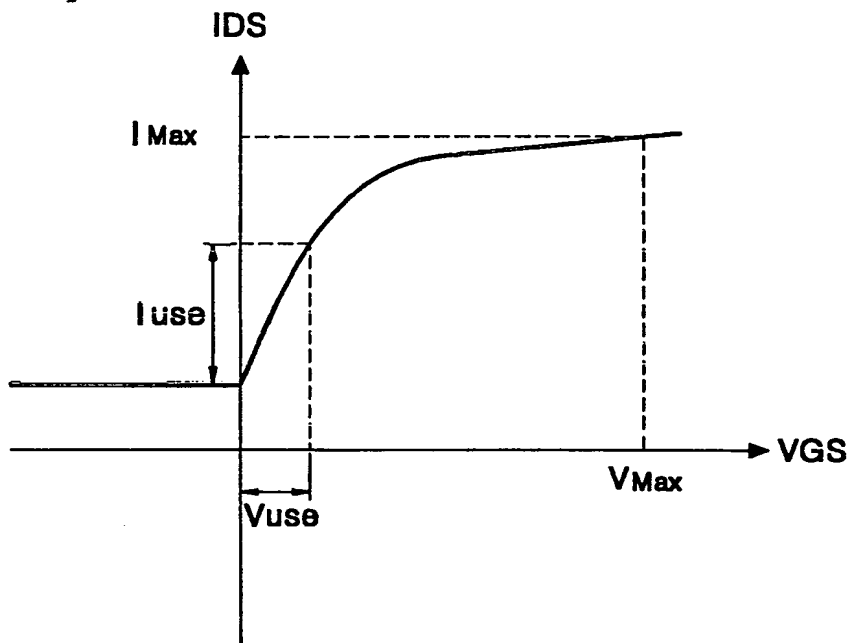
【도 2】



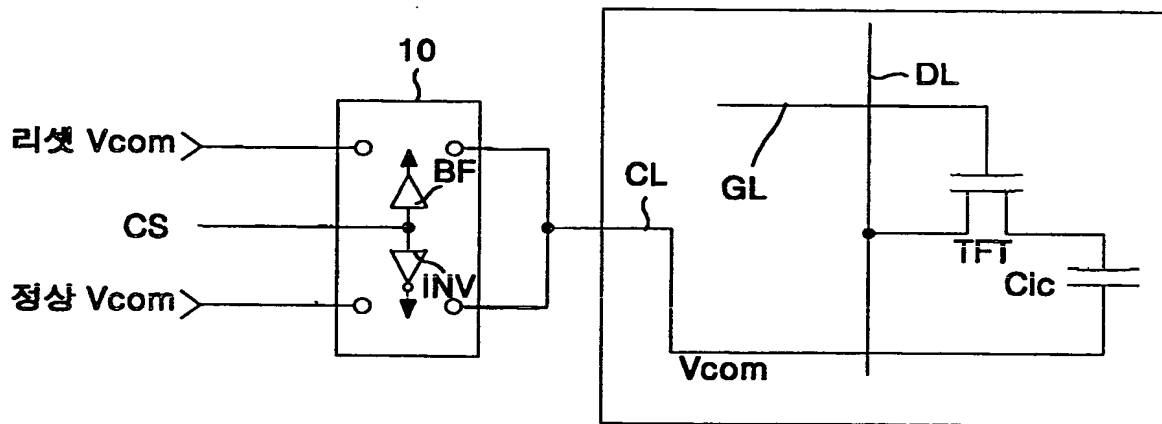
【도 3】



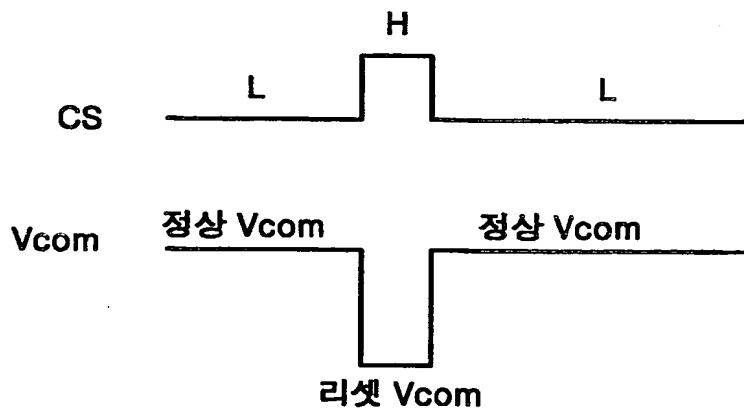
【도 4】



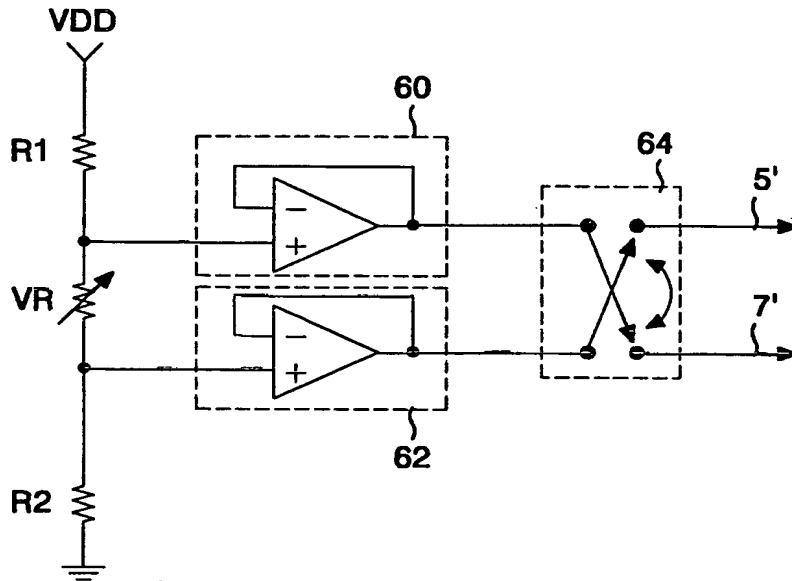
【도 5】



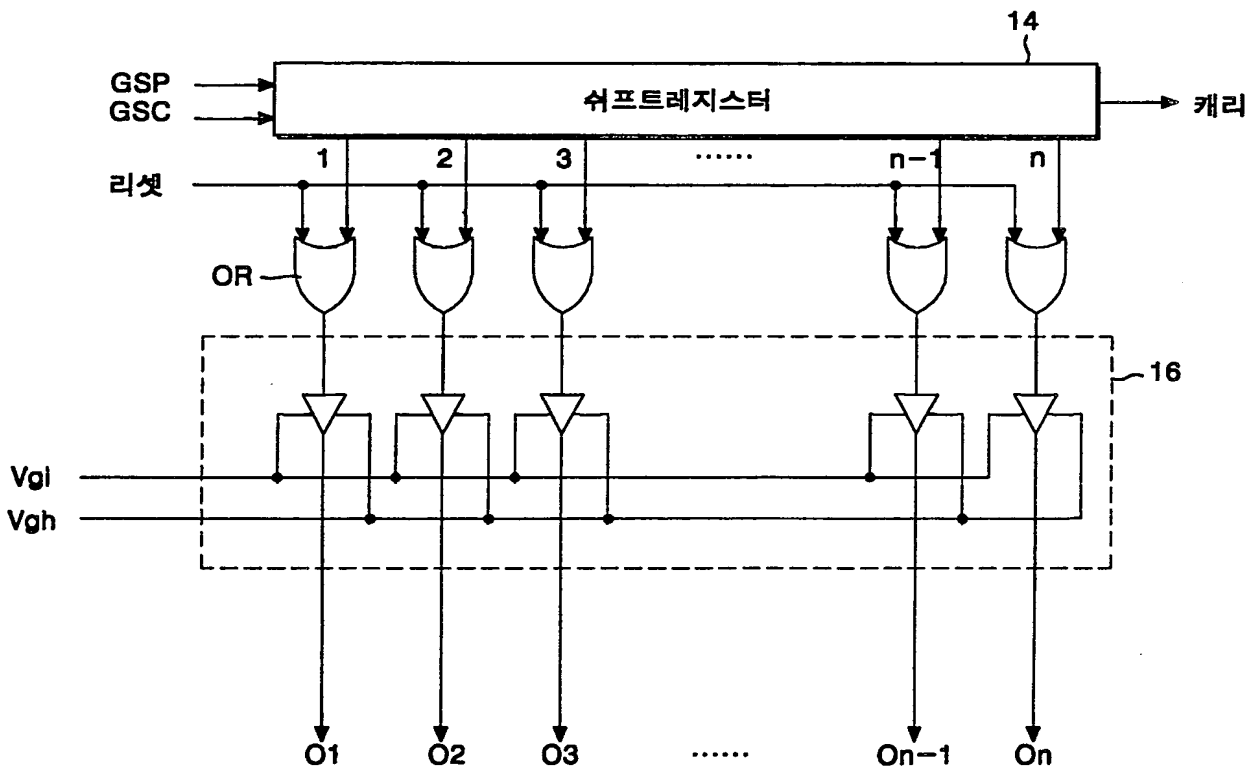
【도 6】



【도 7】



【도 8】



【图 9】

